

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335738

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76				
27/10	4 7 1			
			H 0 1 L 21/ 76	M

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号	特願平6-123356	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成6年(1994)6月6日	(72) 発明者	波部 浩 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72) 発明者	有留 誠一 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72) 発明者	首藤 晋 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(74) 代理人	弁理士 則近 憲佑

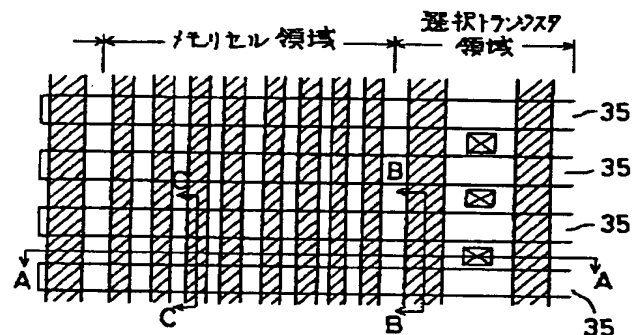
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 素子分離特性を十分確保し、反転防止能力を向上し、寄生トランジスタの発生及びブレイクダウン電圧の低下を防ぐことを目的とする。

【構成】 ゲート酸化膜等の膜厚が互いに異なる複数の素子が基板上に形成される半導体装置において、前記素子の分離領域は、その幅及び膜厚が均一に形成される。



1

【特許請求の範囲】

【請求項 1】半導体基板と、酸化膜厚の異なる前記半導体基板の酸化膜を一部に有し、この酸化膜厚が異なる少なくとも複数の半導体素子と、前記半導体基板上に形成され、前記複数の素子間を絶縁分離する素子分離領域とを備え、前記複数の素子を絶縁分離する素子分離領域は、その素子領域との界面において直線状に形成されることを特徴とする半導体装置。

【請求項 2】前記複数の半導体素子の一方は浮遊ゲート型メモリセルであって、

この浮遊ゲート型メモリセルの一部の酸化膜はトンネル酸化膜であり他方は前記メモリセルを選択するための選択トランジスタであって、この選択トランジスタの一部の酸化膜はゲート酸化膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】半導体基板表面に、第 1 の酸化膜を形成する工程と、

前記半導体基板上に形成される複数の半導体素子間の電気的絶縁を行う素子分離領域を形成する工程と、

前記素子分離領域に囲まれる素子領域の第 1 領域上に第 1 のレジストパターンを形成する工程と、

前記第 1 のレジストパターンが形成されない素子領域の第 2 領域の第 1 の酸化膜を除去する工程と、

前記第 1 のレジストパターンを除去する工程と、

前記半導体基板の表面に第 2 の酸化膜を形成する工程と、

前記素子領域の第 2 領域上に第 2 のレジストパターンを形成する工程と、

前記素子領域の第 1 領域上の酸化膜を除去する工程と、

前記第 2 のレジストを除去する工程と、

前記半導体基板表面に第 3 の酸化膜を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 4】前記第 2 の領域に選択トランジスタを形成し、前記第 1 の領域に電荷蓄積層を有する不揮発性メモリを形成することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】前記第 3 の酸化膜上にシリコン膜を形成した後、前記第 1 領域では前記シリコン膜を電荷蓄積層とすべくパターンニングし、その後、ONO 膜、シリコン層を順次形成し、第 2 領域には選択トランジスタを形成し、第 1 領域には電荷蓄積層を有する不揮発性メモリを形成することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 6】前記第 1 のレジストパターンを用いた酸化膜の除去工程の前に前記レジストパターンをマスクとして前記第 2 領域の半導体基板表面にチャネルイオン注入を行うことを特徴とする請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】本発明は半導体装置及びその製造方法に関する。

【0002】

【従来の技術】一般にメモリやロジックをはじめほとんどすべての半導体装置において、半導体基板の隣接する素子間で独立した動作を確保するために素子間を電気的に絶縁する素子分離が行われている。この素子分離を行った後素子領域に半導体素子が形成される。各素子領域では素子の形成前にしきい値を調整するためのチャネルイオン注入、ウェル用のイオン注入等が行われるがその際のイオン注入による損傷を防ぐため、基板表面を保護用の酸化膜（ダミー酸化膜）で覆うのが一般的である。そして、このダミー酸化膜を除去した後、素子形成のためにゲート酸化膜やトンネル酸化膜等が形成される。

【0003】従来、このような半導体装置において同一の半導体素子、例えば MOS トランジスタが複数、半導体基板上に設けられた半導体装置の場合、基板保護用のダミー酸化膜のエッチング除去や真の酸化膜の形成が各素子領域に共通に 1 度の工程で行われるので素子分離領域も前記エッチングや酸化で当初の形状よりも若干変化するものの最終的には比較的均一な厚さ及び幅で形成されていた。

【0004】ところが最近では、異なる酸化膜厚を有する二種以上の素子を一連のプロセスで基板上に形成するようになってきており、この場合には工程は複雑化する。図 5（a）は、そのような酸化膜厚の異なる素子から構成されており、高集積化に優れた不揮発性メモリとして最近注目されている NAND 型 E² PROM の断面図であり、図 5（b）はその平面図である。この NAND 型 E² PROM は、図に示すように半導体基板 30 上に薄いトンネル酸化膜 31 を介して浮遊ゲート、ONO 膜、制御ゲートが積層されたメモリセル 34 が 8 つ直列に接続された形で NAND セルユニットを構成するメモリセル領域（A）と、NAND セルユニットの両端の半導体基板 30 上に厚いゲート酸化膜 32 を介して形成された選択トランジスタ 33 の領域（B）を備えている。

【0005】前記 NAND セルユニット及び選択トランジスタは、図 5（b）に示すように隣接する NAND セルユニット及び選択トランジスタとは LOCOS による素子分離領域 35 によって電気的に分離されるようになっている。

【0006】しかしながら、従来、前記ゲート酸化膜 32 及びトンネル酸化膜 31 を形成するにあたり、素子領域である領域（A）及び（B）の基板表面に形成されていたダミー酸化膜をウェットエッチングにより剥離した後、酸化によりゲート酸化膜 32 を 0.025（ μm ）程度素子領域全面に形成する。次いで、メモリセル領域（A）の酸化膜 32 のみ再度ウェットエッチングにより剥離した後、酸化により約 0.01（ μm ）のトンネル酸化膜 31 を形成する。このように領域（A）と領域

50

3

(B) でウェットエッチングの回数及び時間が異なるため同じ厚さと幅で形成したものでも酸化膜 31, 32 形成後には素子分離領域の厚さや隣りの NAND セルとの分離幅に差が生じてしまう。例えば、上記の場合、選択トランジスタの領域 (B) の素子分離領域の膜厚が 0.23 (μm)、幅 0.75 (μm) とすると、メモリセル領域 (A) の素子分離領域の膜厚は 0.20 (μm)、幅 0.70 (μm) となる。

【0007】このように素子分離領域の幅が狭く、厚さが薄くなると素子分離のフィールド反転防止能力が大幅に低下する恐れがある。又、近年 LOCOS に代わる新しい素子分離法としてトレンチ素子分離が考えられている。これは、素子分離領域のシリコン基板を掘り下げて溝をつくり、そこに絶縁物質を埋め込むことにより分離する方法である。

【0008】このトレンチ素子分離の典型的な作製方法は次のとおりである。まずシリコン基板を適当な厚さバッファ酸化した後、その上に 0.4 (μm) のポリシリコンを積層する。その上に CVD 法により SiO_2 を適当な厚さに積層する。その後、 SiO_2 層、ポリシリコン層及びバッファ酸化膜をレジストをマスクに垂直にエッチングし、レジスト除去する。

【0009】この後、場合により LP-CVD 法により、例えば 0.03~0.1 (μm) の膜厚の SiO_2 をデポする。そして、異方性エッチングによりマスクとなる第一層、第二層の側壁に CVD 酸化膜が残るようにする。又は場合により 0.03~1.5 (μm) の酸化を行ってから上の CVD 酸化膜デポを行う。これらはトレンチエッジの酸化膜を厚くしてエッジを保護するための工程である。

【0010】そして以後これをマスクにして基板である Si をエッチングする。最後にこのトレンチに絶縁物質 (例えば TEOS) を埋め込んで素子分離が完成する。この方法であると、溝の幅が即素子分離領域になるので、そこに絶縁物質を埋め込める限りはその部分を小さくすることができ、LOCOS 法に比べても領域を節約することができる。しかし、トレンチ素子分離では、トランジスタのゲート酸化膜部とトレンチの境にエッジができていくという問題が起きてくる。従来の LOCOS 素子分離にはなかったこのようなエッジにより、寄生トランジスタが発生し、サブスレシールド特性にキックが生じる要因となっている。また、トレンチエッジ部で電界集中が起こり、酸化膜のブレイクダウン電圧が低下する要因となっている。この弊害をなくするためには、エッジ部に丸みを持たせるか、あるいはエッジ部を保護するようにゲート酸化膜を作製する必要がある。

【0011】このようなトレンチ素子分離においても、前記図 5 (a), (b) で説明した LOCOS 素子分離により分離された NAND 型 E^2PROM と同様につまり、トレンチ分離の場合はエッジのまわりに付けた保護

4

用の酸化膜がウェットエッチング時間の増大によって剥離し、エッジが露出してしまふ恐れがある。

【0012】以上、述べたように基板上にゲート酸化膜等で異なる酸化膜厚を有する、二種以上の素子を形成する場合、LOCOS、トレンチの何れの素子分離においても、ウェットエッチングの際素子分離領域の後退という問題が生じ分離能力の低下、特性の劣化を招いていた。

【0013】

【発明が解決しようとする課題】本発明は、異なる膜厚のゲート酸化膜を有する複数の素子からなる半導体装置において分離能力の低下を招くことのない半導体装置及びその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】半導体基板とこの基板の酸化膜を一部に有する少なくとも複数の半導体素子と、前記半導体基板上に形成され、前記半導体素子を絶縁分離する素子分離領域を備えており、前記酸化膜の厚さは前記半導体素子間で異なり前記素子分離領域は素子領域との界面がほぼ直線状になるように形成されることを特徴とする半導体装置を提供する。

【0015】

【作用】このように構成された、半導体装置においては素子領域毎に膜厚の異なる酸化膜が形成され、この素子領域を分離する素子分離領域の素子領域との界面が直線状に形成されることで、装置全体の素子分離領域の形状、幅等がほぼ均一となる。

【0016】

【実施例】図 1 は本発明の一実施例である NAND 型 E^2PROM の完成平面図を示す。図 1 の A-A 断面図は図 5 (a) と同様であり、詳細な説明は省略する。メモリセル領域にある各 NAND セルユニット及び選択トランジスタ領域にある各選択トランジスタは素子分離領域 35 によって、電気的に分離されている。ここで前記 NAND セルのゲート酸化膜厚は図 5 (a) に示したように前記選択トランジスタのゲート酸化膜厚よりも薄く形成されているが、素子分離領域 35 はメモリセル領域から選択トランジスタ領域にかけてほぼ均一の幅及び厚さをもって形成されている。このため、各素子分離領域 35 はほぼ均一な反転防止能力が得られる。

【0017】図 2 (a) ~ (f) は図 1 に示した本発明の一実施例の NAND 型 E^2PROM の選択トランジスタ領域の BB 断面における工程断面図である。又、図 3 (a) ~ (f) は図 1 に示した本発明の一実施例である NAND 型 E^2PROM のメモリセル領域の CC 断面における工程断面図である。ここで、図 2 (a) ~ (f) の各工程断面図は図 3 (a) ~ (f) と同一の工程を示している。本発明の一実施例による半導体装置の製造方法を以下説明する。

【0018】まず、図 2 (a) 及び図 3 (a) に示すよ

5

うにP型シリコン基板1全面に酸化膜5を形成し、素子分離領域形成予定領域を除く酸化膜5上にマスクとしてポリシリコン膜、及び窒化膜(図示せず)を形成した後、熱処理を加えることにより、LOCOS酸化膜を成長させ、メモリセル領域及び選択トランジスタ領域に幅0.75(μm)厚さ0.23(μm)程度の素子分離領域4を形成する。そして、予定する拡散領域の導電型と逆導電の不純物をイオン注入する。

【0019】次に図2(b)、図3(b)に示すようにセル領域のみにリソグラフィ工程によりレジストパターン10を形成する。ここで前記レジストパターン10をマスクにして選択トランジスタ領域には図2(b)に示すように所望のしきい値を得るようにイオン種及びドーズ量を調整しチャネルイオン注入を行う。続いて基板1をHF、 NH_4F 等のエッチング溶液に浸して選択トランジスタ領域の酸化膜5のウェットエッチングを行う。このときメモリセル領域の酸化膜5は前記イオン注入の際に用いられたレジストパターン10により、保護され、エッチングはされない。又、選択トランジスタ領域では、図2(b)に示すように酸化膜5のエッチングと共に素子分離領域4'の幅が0.70(μm)、厚さが0.210(μm)程度までエッチングされる。

【0020】次にレジストパターン10を除去した後、図2(c)及び図3(c)に示すように、基板1全面に熱処理を加えることにより選択トランジスタ領域には酸化膜11を、メモリーセル領域には酸化膜11'を形成する。酸化膜11は、後の工程で行う熱処理によって、選択トランジスタのゲート酸化膜として、所望の膜厚になるよう調節する。ここでは約0.02(μm)とした。又、メモリセル領域において、酸化膜11'は膜厚0.03(μm)程度であり、素子分離領域の幅は0.8(μm)程度、厚さは0.25(μm)程度となる。

【0021】続いて、図2(d)及び図3(d)に示すように今度は選択トランジスタ領域にのみレジストパターン13を形成し、メモリセル領域の酸化膜11'のみを、ウェットエッチングにより除去する。前記ウェットエッチングにより、メモリセル領域の素子分離領域14は、幅が約0.71(μm)、厚さが0.20(μm)程度となる。

【0022】次に図2(e)及び図3(e)に示すように、レジストパターン13を除去した後、熱処理により全面を酸化し、メモリセル領域にトンネル酸化膜16'を形成するとともに選択トランジスタ領域のゲート酸化膜16を形成する。ここで、選択トランジスタ領域ではゲート酸化膜厚が0.03(μm)程度、素子分離領域の分離幅が約0.75(μm)、厚さが0.23(μm)程度となる。又メモリセル領域では、トンネル酸化膜の膜厚が約0.01(μm)程度、素子の分離領域の分離幅は0.73(μm)程度、厚さは0.21(μm)程度になる。

6

【0023】最後に図2(f)及び図3(f)に示すように、第1ポリシリコン層17を全面に堆積させ、メモリセル領域では各メモリセル毎に前記第1ポリシリコン層17をパターンニングして浮遊ゲートを形成し、選択トランジスタ領域では後で形成するワード線方向に連続的にパターンニングを行う。さらにONO層18第二ポリシリコン層19を順次堆積した後、メモリセル領域では前記第2ポリシリコン層19を図1の平面図の縦方向にパターンニングしてワード線として形成し、選択トランジスタ領域でも、同じ方向に沿ってパターンニングする。その後、メモリセル領域及び選択トランジスタ領域にn型不純物をイオン注入し、拡散することによりソース、ドレインを形成する。さらに全面に層間絶縁膜20を堆積した後、選択トランジスタの拡散層にコンタクトするビット線(図示せず)を形成してNAND型E²PROMが完成する。

【0024】以上の工程により選択トランジスタ領域及びメモリセル領域において酸化膜5のエッチング除去工程はそれぞれ一回ずつである。この結果、前記二つの領域の素子分離領域幅及び厚さに大差を生じることなく、NAND型E²PROMを形成することができる。

【0025】加えて図2(b)及び図3(b)で説明したようにチャネルイオン注入用のレジストパターン10が選択トランジスタ領域の酸化膜5のエッチングのマスクも兼用している。従って、このエッチング用のレジストパターンを形成する必要がなく工程数は増加しない。つまり、メモリセル領域と選択トランジスタ領域における素子分離幅及び膜厚差は0.02(μm)程度である。そして、従来と比べてメモリセル領域の幅は、0.03(μm)大きい。

【0026】従って、選択トランジスタ領域とメモリセル領域とで耐圧の差は小さくなるとともに、メモリセル領域における耐圧は従来よりも向上する。この耐圧の向上について以下に図4を用いて述べる。

【0027】図4は、横軸に素子分離領域の幅(フィールド幅)、縦軸に反転電圧(V)をとり、素子分離領域の幅により耐圧がどのように変化するかを示している。ここでは、耐圧向上のために行うイオン注入(フィールドスルーインプラ)の注入量が $2 \times 10^{13}(\text{cm}^{-2})$ と $1 \times 10^{13}(\text{cm}^{-2})$ の2種の場合について同時に示した。

【0028】従来技術を用いて素子分離領域の幅が0.75(μm)である選択トランジスタ領域に10V程度の耐圧を持たせるとした場合、メモリセル領域の素子分離領域の幅は0.70(μm)であるから、メモリセル領域の耐圧は図からわかるように2V未満となり選択トランジスタ領域との耐圧差が大きく、耐圧が低下する。これは動作特性上好ましくない。ところが本実施例によれば、選択トランジスタ領域に10V程度の耐圧を持たせた場合には、イオン注入量が $2 \times 10^{13}(\text{cm}^{-2})$ の

7

耐圧差は約 2 V、 $1 \times 10^{13} (\text{cm}^{-2})$ の場合は約 1 V と小さく、又メモリセル領域の耐圧が低く動作が困難となる問題も生じない。

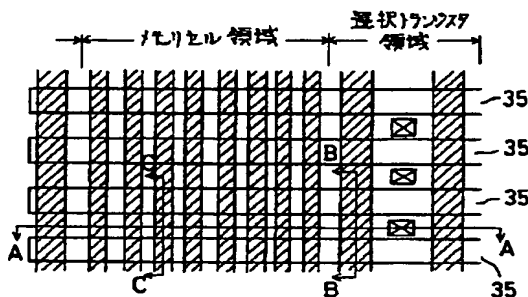
【0029】以上の実施例では LOCOS 法による素子分離の例について述べたが、トレンチ法による素子分離についても同様に行うことができる。この場合、トレンチ素子分離領域とゲート酸化膜又はトンネル酸化膜の境界部に形成される。境界の露出及び電界集中を防止するための膜は後のエッチング工程で後退することがない。この結果、寄生トランジスタの発生及びブレイクダウン電圧の低下を防ぐことができる。又、前記実施例と同様にリソグラフィ工程を増やすこともない。

【0030】前述の実施例は NAND 型 E^2 PROM のセレクトゲート領域及びメモリセル領域について説明したが、本発明は互いに膜厚が異なるゲート酸化膜を有する複数の素子が一つの基板上に形成されるような半導体装置であればすべて適用可能である。例えば、そのような複数の素子がある NAND 型 E^2 PROM や他の半導体記憶装置全般、より具体的にはダイナミック RAM スタティック RAM、PROM 及び EROM 等に適用可能である。

【0031】

【発明の効果】本発明によれば、互いに膜厚の異なるゲート酸化膜等が形成される半導体素子が複数個形成される半導体装置において前記各半導体素子の素子分離領域 *

【図 1】



8

*の幅及び膜厚をほぼ均一に形成することができ、分離能力の低下を招くことがない。

【図面の簡単な説明】

【図 1】本発明の半導体装置の一実施例である NAND 型 E^2 PROM の平面図。

【図 2】本発明の半導体装置の一実施例である NAND 型 E^2 PROM の選択トランジスタ領域を示す工程別断面図。

【図 3】本発明の半導体装置の一実施例である NAND 型 E^2 PROM のメモリセル領域を示す工程断面図。

【図 4】本発明の一実施例の効果を説明するための特性図。

【図 5】本発明の従来例を説明するための平面図。

【符号の説明】

1…シリコン基板

4, 4', 12, 12', 14, 15, 15', 35…素子分離領域

5, 11, 11'…酸化膜

13…レジストパターン

16…ゲート酸化膜

16'…トンネル酸化膜

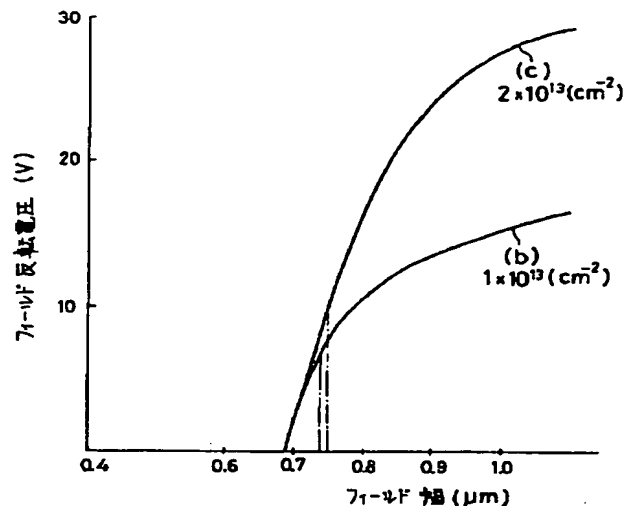
17…第 1 ポリシリコン層

18…ONO 膜

19…第 2 ポリシリコン層

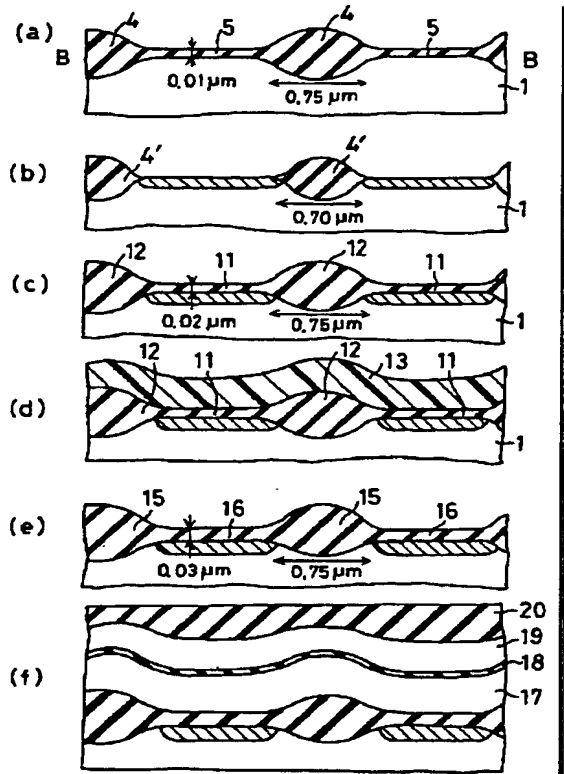
20…層間絶縁膜

【図 4】

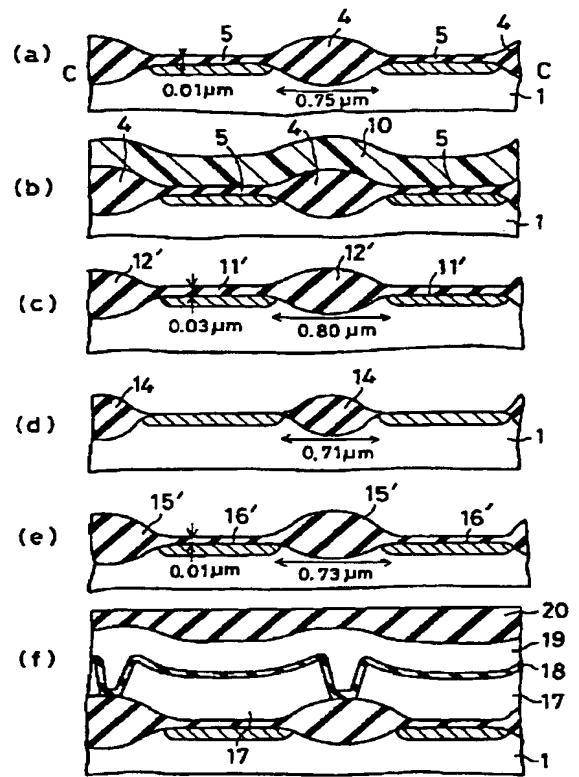


フィールド反転電圧のフィールド幅及びフィールドスレーブア
ド添加量 依存性

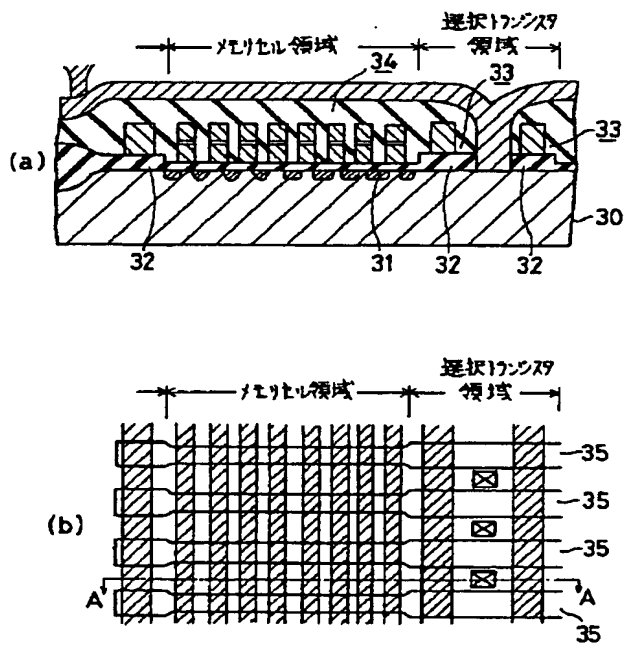
【図 2】



【図 3】



【図 5】



フロントページの続き

(72)発明者 ヘミンク ゲルトヤン
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72)発明者 丸山 徹
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内